

上海佳研仿真工作室期刊七

-----拓扑结构及阻抗对信号质量的影响

前言： 本文主要讨论一下高速信号拓扑结构和阻抗控制对信号质量的影响，我们主要通过 SI 仿真验证信号拓扑结构和阻抗控制对信号质量保障的重要性。

1 信号拓扑结构对信号质量的影响

复杂的 PCB 单板，总有一部分信号网络的拓扑比较复杂，如 DDR、QDR、SDRAM、PCI 总线一般都有多个负载，有的处理器芯片挂了多达 4 或 6 片 DDR 或者 SDRAM 颗粒芯片，如何对这些总线连接的器件进行布局及构建拓扑结构，涉及到布线难易及信号质量保障这一对矛盾体。布线难易又涉及到布线通道、布线层数等 PCB 成本因素。对于市场化竞争激烈的今天，产品的低成本是市场竞争的关键因素，而 PCB 成本又是构成产品成本的关键因素。

图 1 所示的 CPU 挂了两片 SDRAM 颗粒，地址、控制及时钟信号为一驱二的拓扑结构，图 1、图 2 中高亮的为同一时钟信号。对于该时钟信号，其拓扑是按图 1 所示的菊花链还是按图 2 所示的 Y 型对称拓扑进行布线，这就涉及到布线层数的占用和信号质量的保障问题。如果按图 1 所示的菊花链拓扑结构进行布线，布线只占用内层一个信号层，如果按图 2 所示 Y 型对称拓扑，布线将占用内层两个信号层，布线层数的占用直接关系到 PCB 成本。

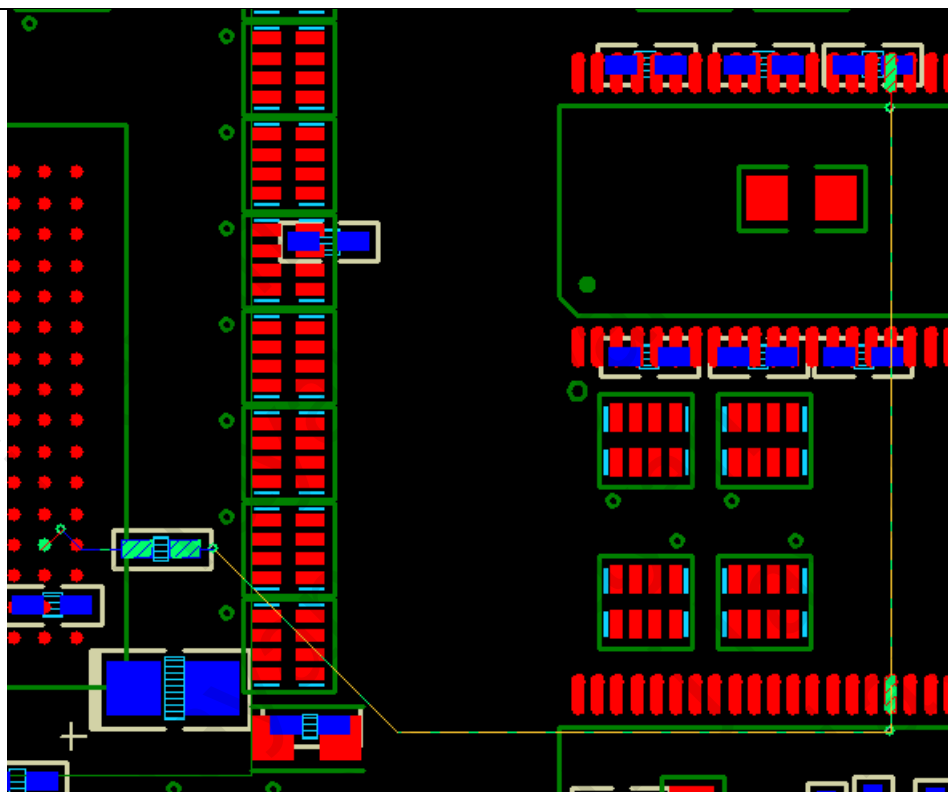


图 1、时钟信号的菊花链拓扑结构

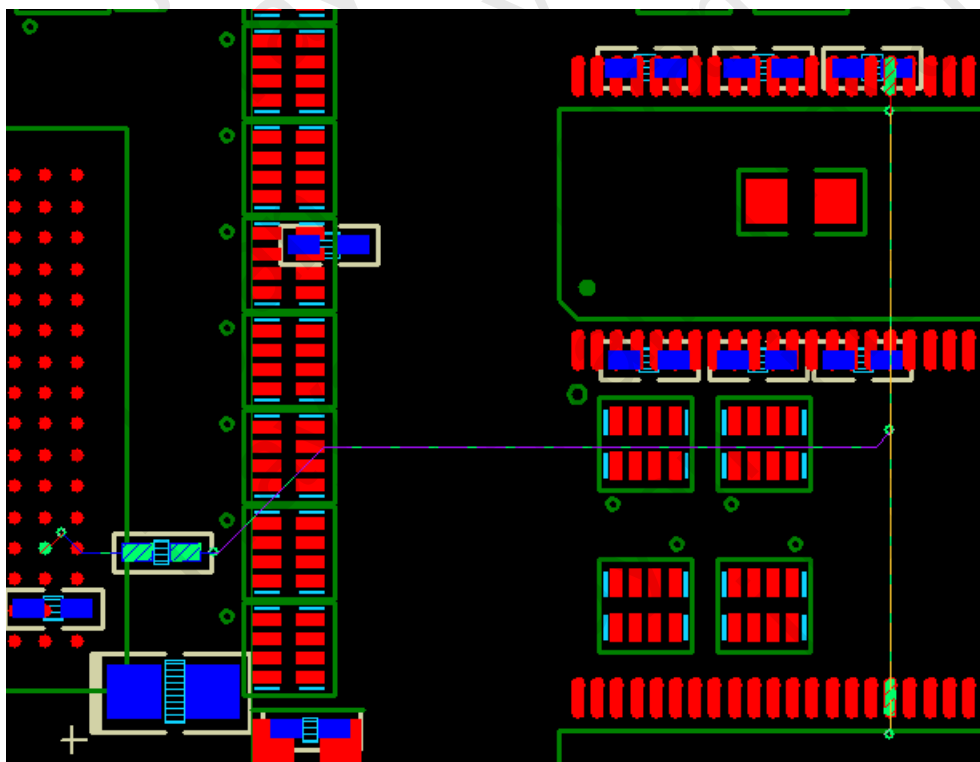


图 2、时钟信号的 Y 型对称拓扑结构

我们追求的拓扑结构是既能占用最少的布线通道和布线层数，同时又能保证良好的信号质量。我们抽取图 1 所示的菊花链拓扑结构如图 3 所示，将图 3 中 TL6 段传输线设置为变量参数进行扫描，TL6 变量参数设置为 500mil、1500mil、3000mil 三个具体数值时，SI 仿真扫描得到的典型状态下负载端波形如图 4、图 5 所示，图 4 为 D7 接收负载波形，图 5 为 D8 接收负载波形，从两幅接收负载波形图中可以直观看出，随着 TL6 段传输线长度的增加，接收负载信号质量逐渐变差，具体表现为振铃逐渐恶化，噪声余量逐渐减少，信号沿出现台阶导致非单调性出现，非单调性的出现对于时钟等沿触发信号是不允许的，另外信号的延时也会发生变化。

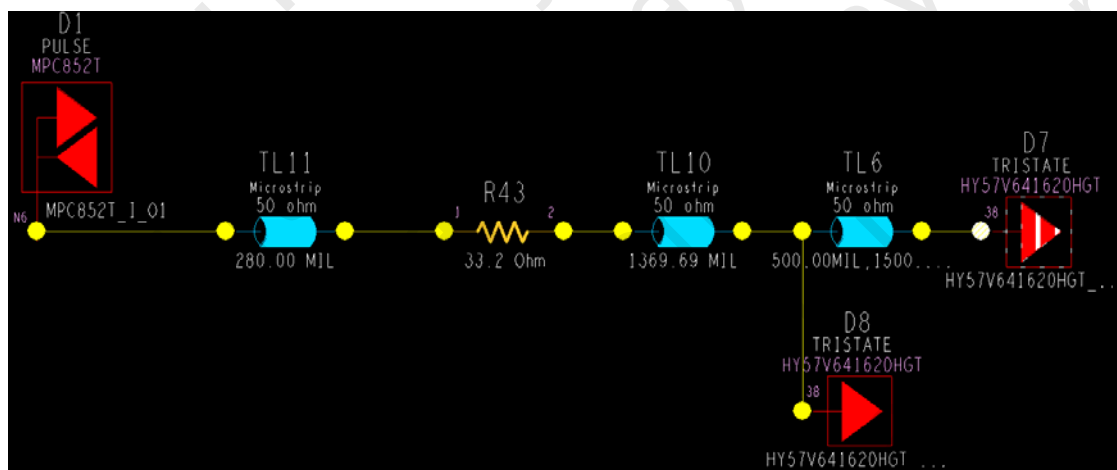


图 3、时钟信号的菊花链拓扑结构抽取图

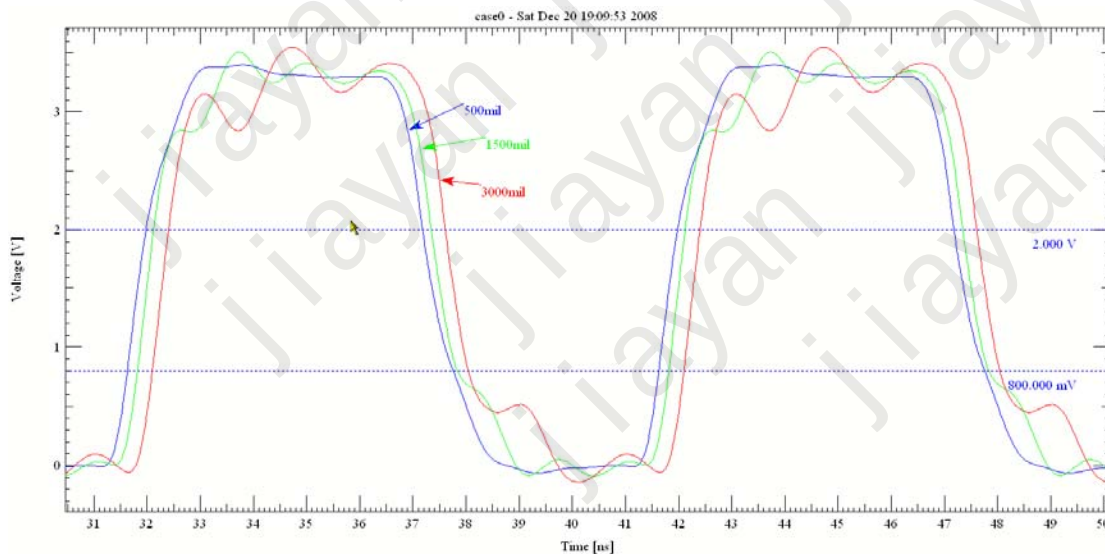


图 4、菊花链拓扑结构典型状态下的 D7 接收负载端波形

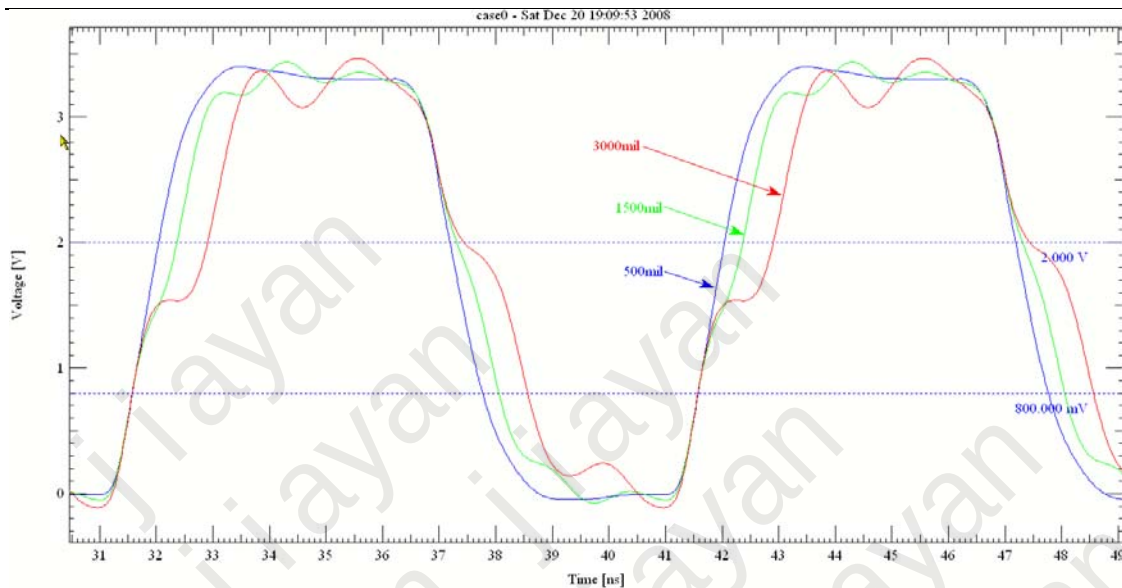


图 5、菊花链拓扑结构典型状态下的 D8 接收负载端波形

从以上菊花链拓扑结构仿真结果可以看出，当接收负载器件布局分散亦即布局间距较大时，菊花链拓扑结构将带来严重的信号质量问题，此时我们可以将图 1 所示的菊花链拓扑结构改为如图 6 所示的 Y 型对称拓扑结构。当然严格的对称很难做到，此时我们将 Y 型分支中的一个分支设置为变量参数，如将图中 TL26 段传输线设置为 800mil、1000mil、1200mil，仿真扫描得到的接收负载波形如图 7 所示，从图 7 中可以看出，当 Y 型分支存在长度差异时，接收负载波形将出现恶化现象，如振铃加重、噪声余量减小、沿的非单调性等等，当然差异控制在一定范围时，信号质量任可接受。

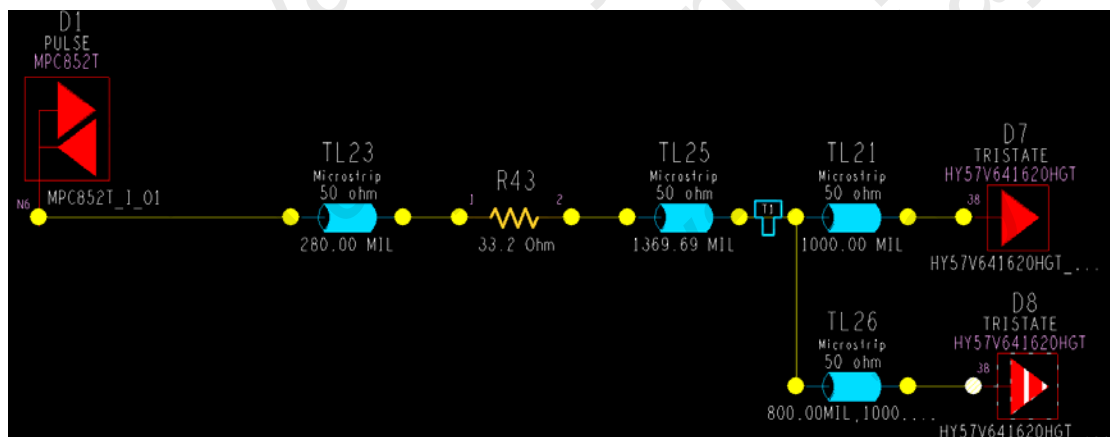


图 6 时钟信号的 Y 型对称拓扑抽取图

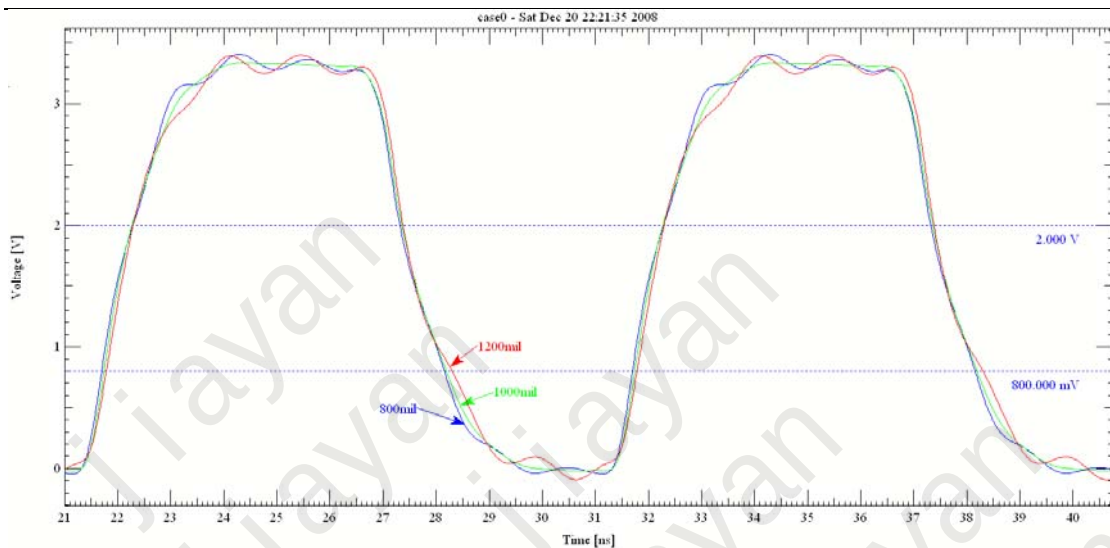


图 7、Y 型对称拓扑结构典型状态下的 D8 接收负载端波形

我们可以从以上的变量参数扫描中发现以下规律：

- 1) 当多负载拓扑的多个接收负载器件集中布局时，亦即多个接收负载器件间距控制在 1000mil 以下时，此时多个接收负载可等效为一个负载，其信号拓扑可采用菊花链拓扑结构；
- 2) 当多负载拓扑的多个接收负载器件分散布局时，亦即多个接收负载器件间距在 1000mil 以上时，此时多个接收负载不能等效为一个负载，此时最好采用对称拓结构如 Y 型对称拓扑结构；
- 3) 当采用对称的拓扑结构如 Y 型对称拓扑结构时，分支线的长度差异尽量控制在 $\pm 20\%$ 范围内；

需要提醒的是以上三个规则只对单向信号有效，对于双向信号如数据信号需要通过 SI 仿真确定。

2 信号阻抗控制对信号质量的影响

下面我们再来谈一谈传输线阻抗控制对信号质量的影响，我们从经典的阻抗匹配理论知道，信号的驱动 buffer 输出阻抗、传输线阻抗、接收 buffer 输入阻抗三者完全匹配时，信号的源和接收端均无反射出现，整个信号链路对信号传输质量的影响最小。实际上我们很难得到这样的阻抗控制和阻抗匹配，一个

重要的原因是驱动 buffer 输出阻抗、接收 buffer 输入阻抗因芯片及信号电平标准而异，作为后端的电路及板级设计，唯一可控的是 PCB 板级阻抗。

由于现代 IC 工艺技术的提高，现在即使是 10MHz 的信号，由于其上升下降沿时间的缩短，这些信号也被纳入高速信号范畴，其信号传输线也需要进行阻抗控制。但我们经常对传输线阻抗控制认识不够，导致 PCB 阻抗控制时经常出现以下两种现象：一种是多层 PCB 板所有信号层进行阻抗一致性控制，并控制为一个具体的阻抗值；另一种是多层 PCB 板各信号层不进行阻抗控制，导致各信号层阻抗差异较大。下面我们分别来谈一下这两种阻抗控制差异对信号质量的影响。

2.1 多层PCB板所有信号层进行阻抗一致性控制

当所有信号层阻抗控制为一个具体的值，如单端信号阻抗控制为典型的 50ohm，阻抗控制一致性对信号质量的影响可通过 SI 仿真来评估。图 8 中将传输线阻抗控制值设置为变量，我们扫描该变量值为 30、50、80ohm 时对信号质量的影响。图 9 为 SI 扫描仿真结果，从中也可以发现一些规律，如将阻抗控制偏大时，相对于低阻抗控制值，信号电平幅度会抬高，信号沿变陡，噪声余量会发生变化，信号延时也会发生变化。认识这一规律，在进行层叠和阻抗控制时我们可以有意识地加以利用。

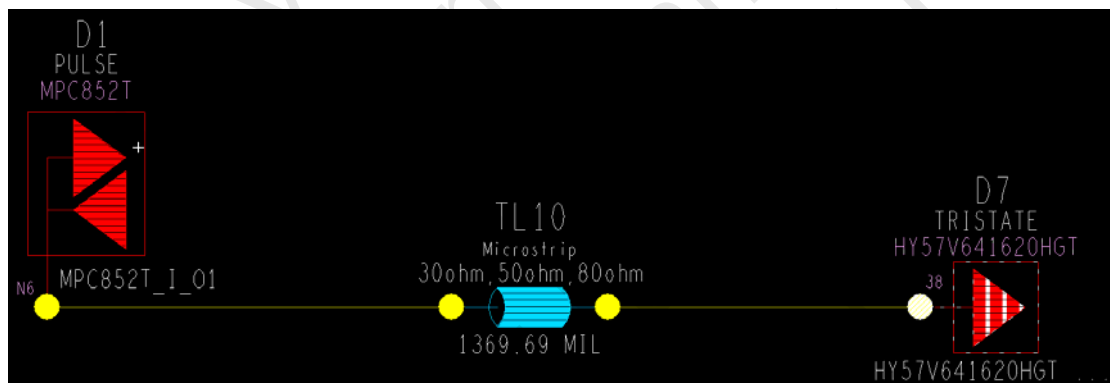


图 8、多层 PCB 板各信号层阻抗一致性 SI 仿真评估

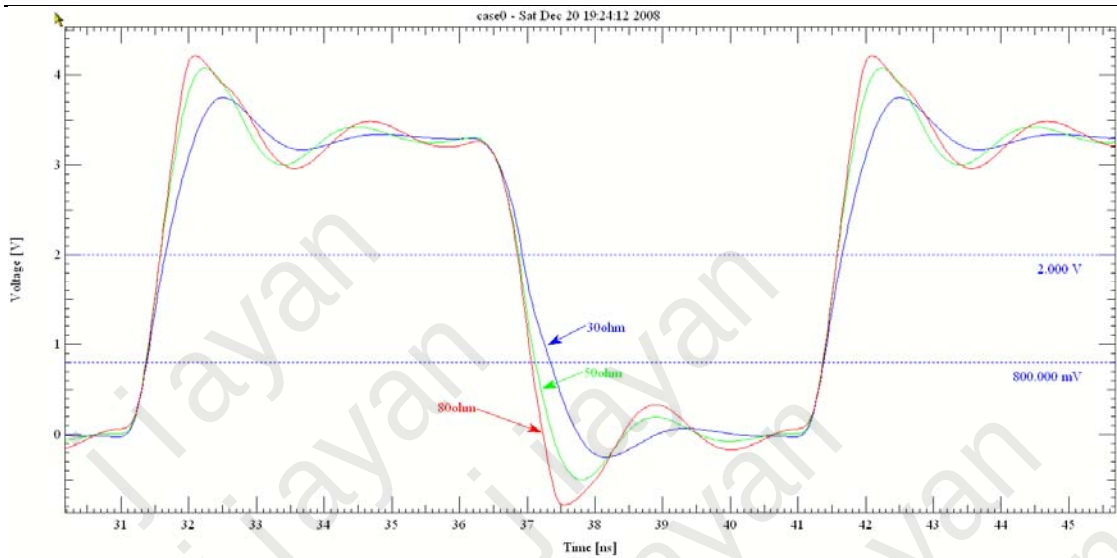


图 9、多层 PCB 板各信号层阻抗一致性 SI 仿真评估结果

2.2 多层PCB板各信号层没有进行阻抗控制

当多层 PCB 板各信号层没有进行阻抗控制，各信号层阻抗差异较大，如图 10 中 TL14、TL13 段传输线阻抗为 50ohm，但 TL10 段传输线偏离 50ohm，我们将其设置为变量，扫描该变量为 30ohm、50ohm、80ohm 时接收负载波形结果如图 11 所示，从图 11 中可以直观看出，当阻抗控制偏离 50ohm 时，由于信号反射机理造成振铃恶化，噪声余量减小，甚至有可能信号沿出现台阶等，这些都会给信号质量带来严重的影响。

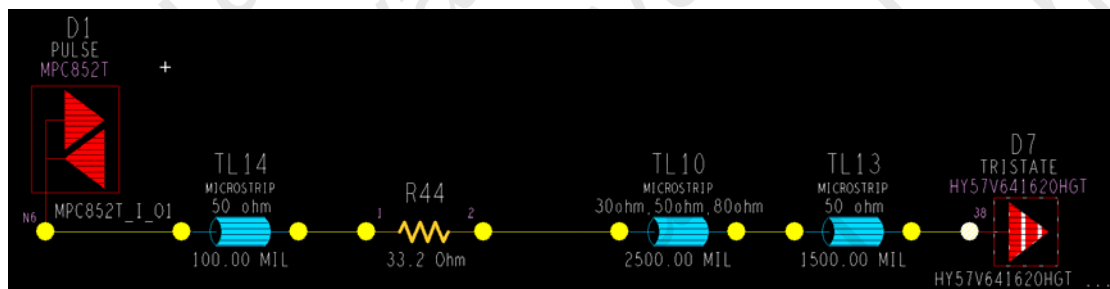


图 10、多层 PCB 板各信号层阻抗不一致性 SI 仿真评估

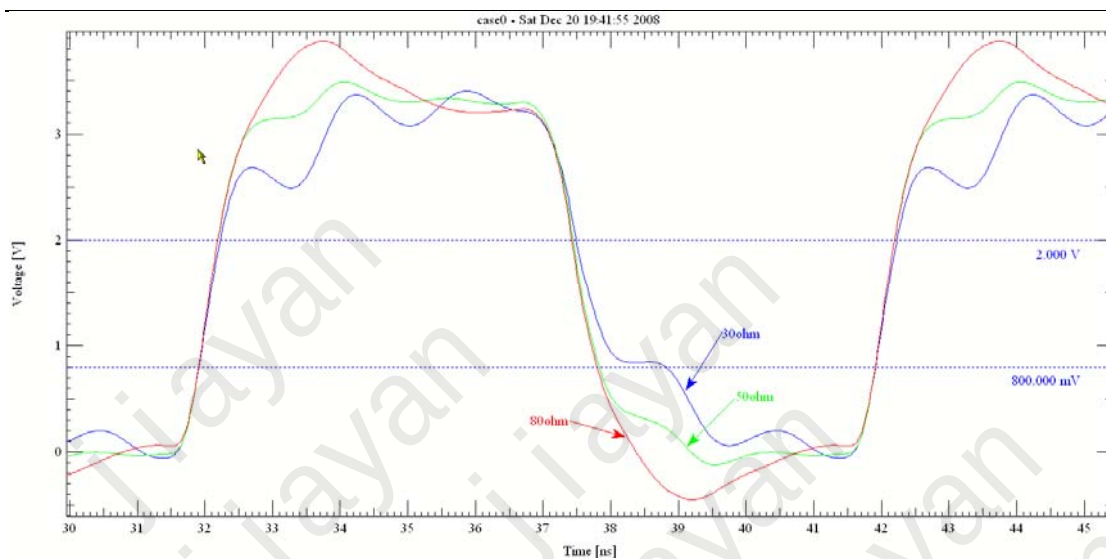


图 11、多层 PCB 板各信号层阻抗不一致性 SI 仿真评估结果

对于现有的 PCB 单板，进行必要的阻抗控制非常关键，传输线阻抗控制设计整板信号质量。

以上讨论均是建立在传输线反射的机理上，具体可查阅相关传输线反射理论书籍。

上海佳研仿真设计工作室

<http://www.jiayansi.com>