

----- DDRII 总线静态时序分析报告

本文以一个实际的项目为背景，对该项目中 MPC8568 的 DDRII 接口进行静态时序分析，用于评估该接口的时序情况，指导 PCB 设计。本文阐述的是静态时序分析方法，因此主要是讲解整个时序分析的原理及简单的时序分析过程，这种方法适用于一般的接口时序分析，也是工程上最常见的分析方法。

一：源同步时序计算基本原理：

DDRII 接口属于源同步时序，静态时序计算的公式可以简单的理解为：时序余量等于驱动芯片的输出有效窗口减去接收端芯片的输入有效窗口。当然在计算的过程中还要考虑串扰，ISI，SSN，走线不匹配等因素。这些因素理论上要通过严格的仿真分析得到，不过本文是静态时序计算，因此就简单的根据经验评估这些因素。

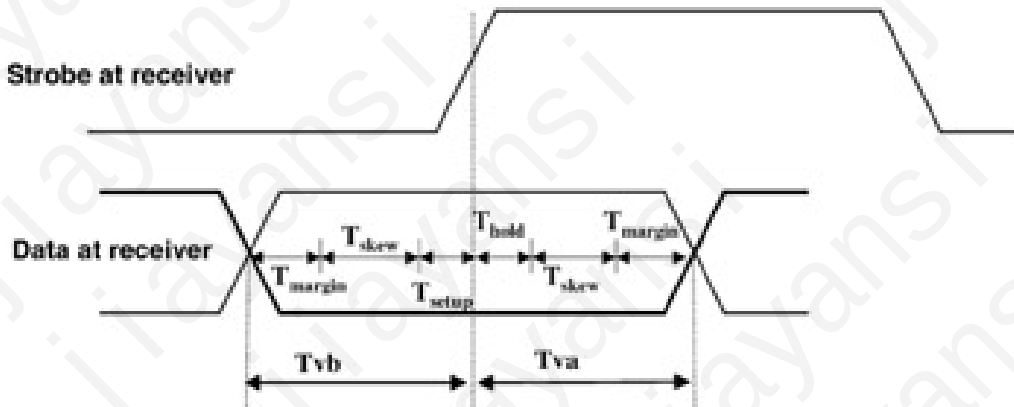


图 1：源同步时序公式示意图

源同步时序计算公式：

$$T_{hold\ margin} = T_{va} - T_{hold} - T_{skew}$$

$$T_{setup\ margin} = T_{vb} - T_{setup} - T_{skew}$$

注：公式中的 $T_{hold\ margin}$ 指保持时序余量。

T_{va} 指驱动芯片的输出有效时间窗口，通过查阅器件资料得到。

T_{hold} 指接收芯片的输入有效时间窗口，通过查阅器件资料得到。

T_{skew} 指数据，地址信号参考时钟时引起的 skew，包括 PCB 走线不等长等。

二：DDRII 接口时序计算关系：

在计算 DDRII 接口的时候，先要分清楚 DDRII 接口的三种时序关系，其中 ADDRESS 信号是参考 CK 时钟，DATA 信号是参考 DQS 时钟，DQS 信号参考 CK 时钟。因此在计算的时候，要分成以下三种时序关系进行分析计算。

1: CK 与 ADDRESS 之间的时序关系。

- 2: CK 与 DQS 之间的时序关系。
- 3: DATA 与 DQS 之间的时序关系。

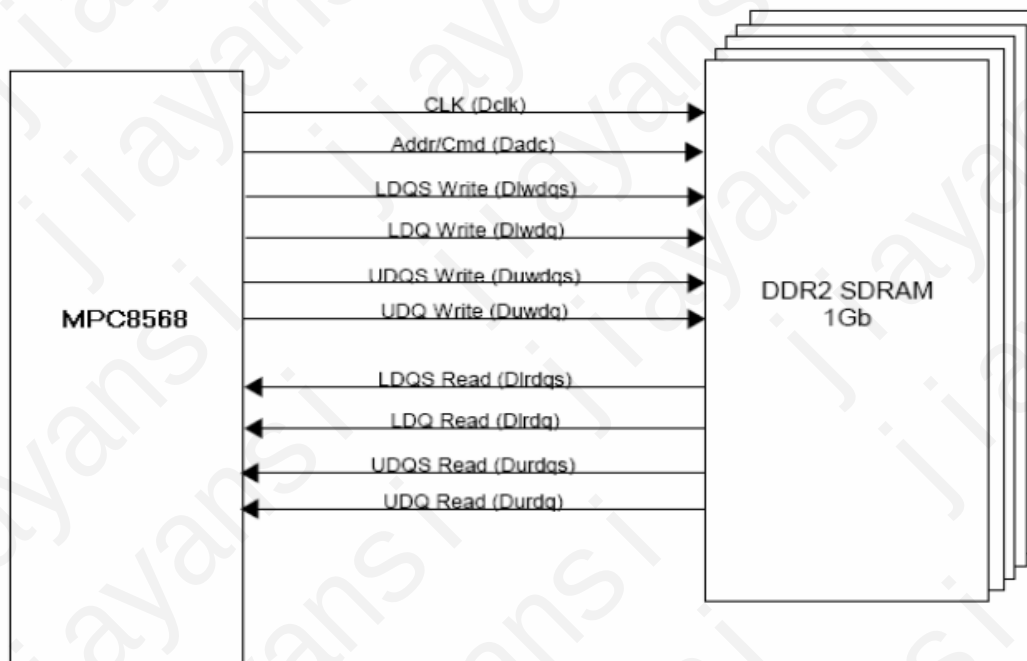


图 2: DDRII 接口信号图

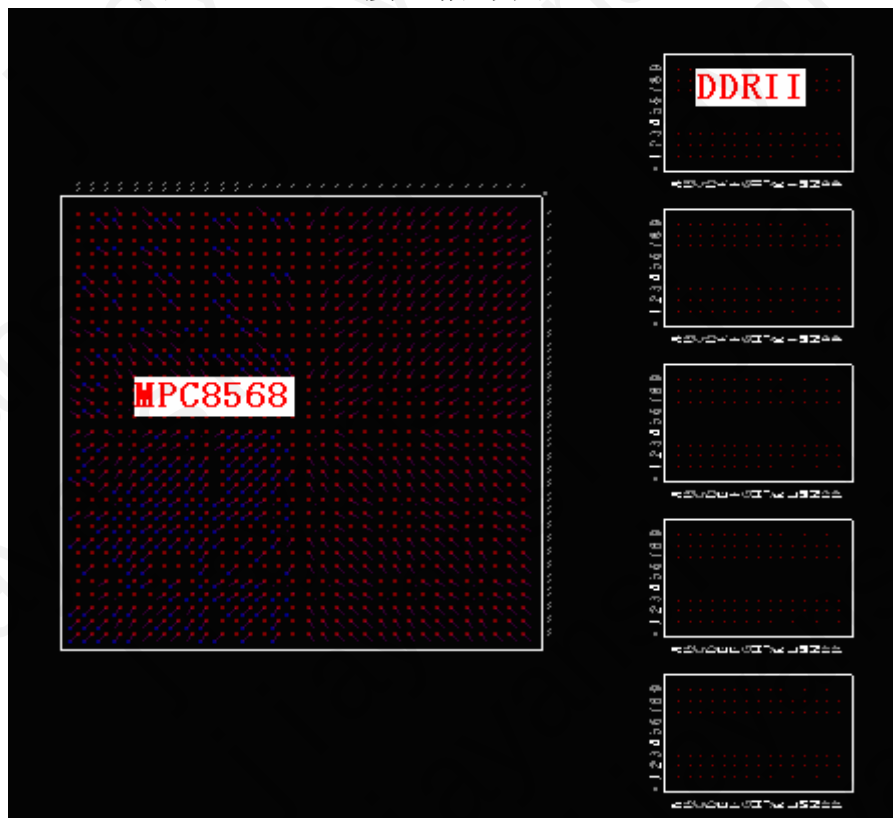


图 3: MPC8568 带五片 DDRII 的布局图

该项目中 MPC8568 带 5 片 DDRII 颗粒,数据数率 533M,时钟 266M, 即 $1000/266M=3.75ns$

1: CK 与 ADDRESS 之间的时序计算:

从 MPC8568 的器件资料寻找时序参数:

Figure 5 shows the DDR SDRAM output timing diagram.

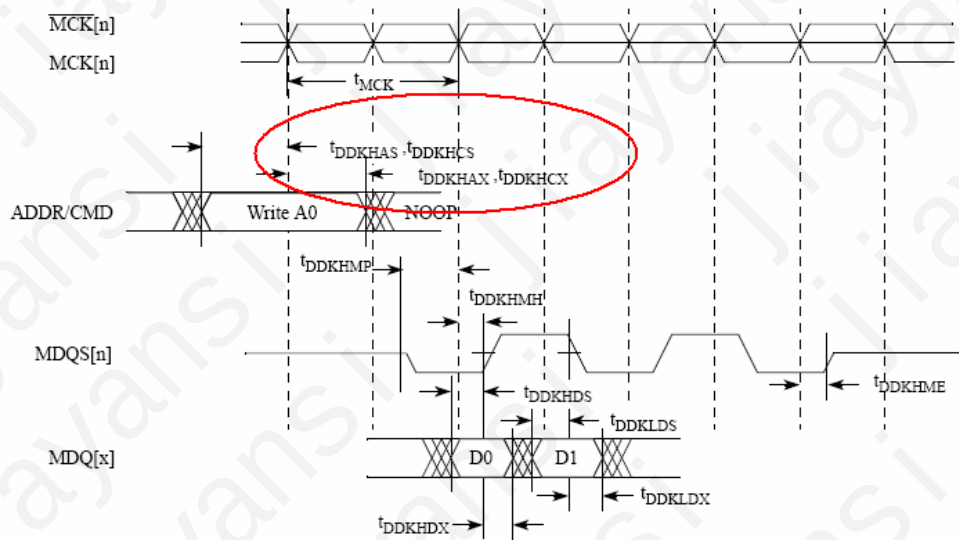


Figure 5. DDR SDRAM Output Timing Diagram

图 4: MPC8568 地址信号的时序图

7.2.2 DDR SDRAM Output AC Timing Specifications

Table 20. DDR SDRAM Output AC Timing Specifications

At recommended operating conditions.

Parameter	Symbol ¹	Min	Max	Unit	Notes
MCK[n] cycle time, MCK[n]/MCK[n] crossing	t_{MCK}	3.75	10	ns	2
ADDR/CMD output setup with respect to MCK	t_{DDKHAS}	1.48	—	ns	3 7
533 MHz		1.48	—		
400 MHz		1.95	—		
333 MHz		2.40	—		
ADDR/CMD output hold with respect to MCK	t_{DDKHAX}	1.48	—	ns	3 7
533 MHz		1.48	—		
400 MHz		1.95	—		
333 MHz		2.40	—		
MCK[n] output setup with respect to MCK	t_{DDKHCS}	1.48	—	ns	3 7
533 MHz		1.48	—		
400 MHz		1.95	—		
333 MHz		2.40	—		

图 5: MPC8568 的地址信号的时序参数

从以上两个图中我们可以得到: $T_{dvb}=T_{dva}=1.48ns$

Table 13: AC Operating Specifications and Conditions for -187E, -25E, -3E, -3, -37E, and -5E Speeds (Sheet 5 of 7)
Not all speed grades listed may be supported for this device; refer to the title page for speeds supported;
Notes: 1-5 (page 38) apply to the entire table; V_{DDQ} = +1.8V ±0.1V, V_{DD} = +1.8V ±0.1V

AC Characteristics		-187E		-25E		-25		-3E		-3		-37E		-5E		Units	Notes
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
Input setup time	t _{IS}	125	—	175	—	175	—	200	—	200	—	250	—	350	—	ps	31, 33
Input hold time	t _{IH}	200	—	250	—	250	—	275	—	275	—	375	—	475	—	ps	31, 33
Input setup time	t _{IS}	325	—	375	—	375	—	400	—	400	—	500	—	600	—	ps	31, 33
Input hold time	t _{IH}	325	—	375	—	375	—	400	—	400	—	500	—	600	—	ps	31, 33
Input pulse width	t _{IPW}	0.6	—	0.6	—	0.6	—	0.6	—	0.6	—	0.6	—	0.6	—	ns	18, 32
ACTIVATE-to-ACTIVATE delay, same bank	t _{RC}	54	—	55	—	55	—	54	—	55	—	55	—	55	—	ns	18, 34

图 6: DDRII 地址信号的时序参数

从 Micron 的 DDRII 器件资料中我们可以得到 T_{ds}=250ps, T_{dh}=375ps.

将以上获得的参数带入公式中进行计算:

$$\text{Setup Margin} = T_{dvb} - T_{ds} = 1.48 - 0.25 = 1.23\text{ns}$$

$$\text{Hold Margin} = T_{dva} - T_{dh} = 1.48 - 0.375 = 1.105\text{ns}$$

影响时序的因素:

影响因素	数值	数据来源
crosstalk	50ps	通过仿真得到
ISI	10ps	通过仿真得到
SSN	30ps	评估获的
电源波动	50ps	评估获的
Path Matching (Board)	25 ps	实际布线控制
总和	165ps	

考虑到以上各个因素, 时序余量为:

$$\text{Setup Margin} = 1.23\text{ns} - 0.165\text{ns} = 1.065\text{ns}$$

$$\text{Hold Margin} = 1.105\text{ns} - 0.165\text{ns} = 0.94\text{ns}$$

2: CK 与 DQS 之间的时序计算:

从 MPC8568 的器件资料寻找时序参数:

Figure 4 shows the DDR SDRAM output timing for the MCK to MDQS skew measurement (tDDKMH).

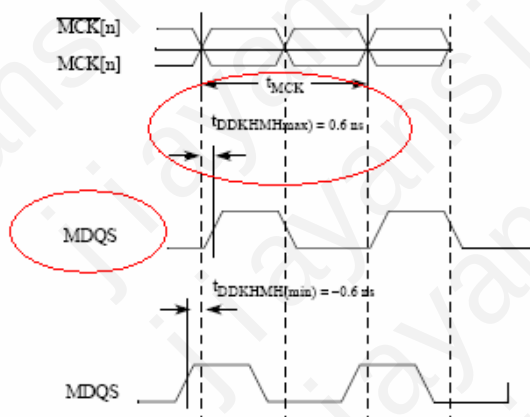


Figure 4. Timing Diagram for tDDKMH

图 7: MPC8568 DQS 信号的时序图

	333 MHz		2.40	—		
MCS[n] output hold with respect to MCK	t _{DDKHGX}				ns	3
	533 MHz		1.48	—		7
	400 MHz		1.95	—		
	333 MHz		2.40	—		
MCK to MDQS Skew	t _{DDKMH}		-0.6	0.6	ns	4
MDQ/MECC/MDM output setup with respect to MDQS	t _{DDKHDS} , t _{DDKLDS}				ps	5
	533 MHz		538	—		7

图 8: MPC8568 DQS 信号的时序参数

从以上两个图中我们可以得到: $T_{dvb} = T_{dva} = 1/2 \times T - 0.6 = 1.875 - 0.6 = 1.275 \text{ ns}$

Table 13: AC Operating Specifications and Conditions for -187E, -25E, -3E, -3, -37E, and -5E Speeds (Sheet 3 of 7)
Not all speed grades listed may be supported for this device; refer to the title page for speeds supported.
Notes: 1-5 (page 38) apply to the entire table; V_{DDQ} = +1.0V ±0.1V, V_{DD} = +1.0V ±0.1V

AC Characteristics		-187E		-25E		-25		-3E		-3		-37E		-5E		Units	Notes
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
DQS output access time from CK/CK#	t _{DQSK}	-300	+300	-350	+350	-350	+350	-400	+400	-400	+400	-450	+450	-500	+500	ps	19
DQS read preamble	t _{RPRE}	MIN = 0.9 × t _{CK} MAX = 1.1 × t _{CK}														t _{CK}	17, 18, 19
DQS read postamble	t _{RPST}	MIN = 0.4 × t _{CK} MAX = 0.6 × t _{CK}														t _{CK}	17, 18, 19, 20
CK/CK# to DQS Low-Z	t _{LZ1}	MIN = t _{AC} (MIN) MAX = t _{AC} (MAX)														ps	19, 21, 22

图 9: DDRII DQS 信号的时序参数

从 Micron 的 DDRII 器件资料中我们可以得到 $T_{ds} = T_{dh} = 450 \text{ ps}$

Setup Margin = $T_{dvb} - T_{ds} = 1.275 - 0.45 = 0.825 \text{ ns}$

Hold Margin = $T_{dva} - T_{dh} = 1.275 - 0.45 = 0.825 \text{ ns}$

影响时序的因素：

影响因素	数值	数据来源
crosstalk	50ps	通过仿真得到
ISI	10ps	通过仿真得到
SSN	30ps	评估获的
电源波动	50ps	评估获的
Path Matching (Board)	25 ps	实际布线控制
总和	165ps	

考虑到以上各个因素，时序余量为：

Setup Margin= 0.825ns-0.165ns=0.66ns

Hold Margin= 0.825ns-0.165ns=0.66ns

3: DATA 与 DQS 之间的时序计算：

写数据时：

从 MPC8568 的器件资料寻找时序参数：

Figure 5 shows the DDR SDRAM output timing diagram.

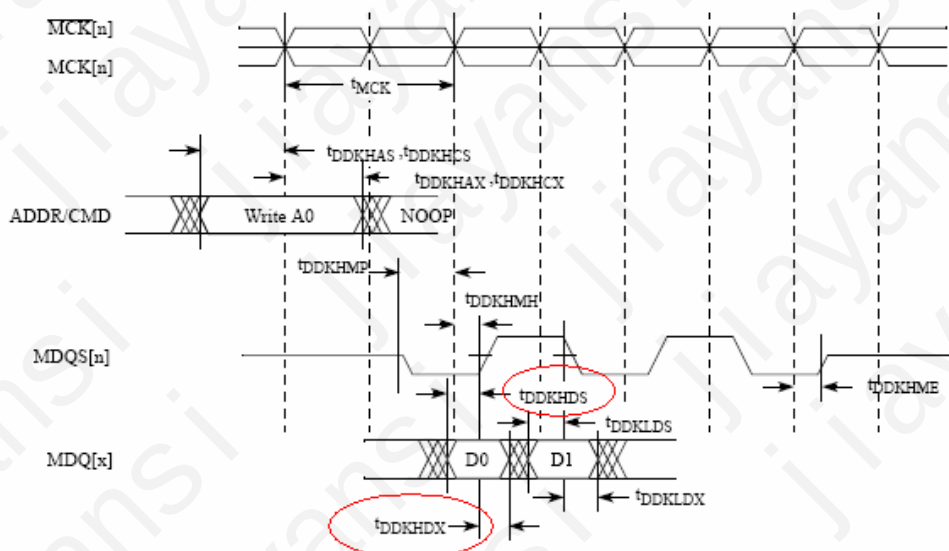


Figure 5. DDR SDRAM Output Timing Diagram

图 10: MPC8568 DATA 信号写数据时的时序图

MCK to MDQS Skew	t_{DDKHM}	-0.6	0.6	ns	4
MDQ/MECC/MDM output setup with respect to MDQS	t_{DDKHDS} t_{DDKLDS}	538	538	ps	5
533 MHz		538	—		7
400 MHz		700	—		
333 MHz		900	—		
MDQ/MECC/MDM output hold with respect to MDQS	t_{DDKHDX} t_{DDKLDX}	538	—	ps	5
533 MHz		538	—		7
400 MHz		700	—		
333 MHz		900	—		

图 11: MPC8568 DATA 信号写数据时的时序参数

从以上两个图中我们可以得到: $T_{dvb}=T_{dva}=0.538ns$

34

CK/CK# to DQ Low-Z	t_{LZ2}	MIN = $2 \times t_{AC}$ (MIN) MAX = t_{AC} (MAX)										ps	19, 21, 22	
Data valid output window	DVW	MIN = $t_{QH} - t_{DQSQ}$ MAX = n/a										ns	26, 27	
DQ and DM Input setup time to DQS	t_{DSb}	0	-	50	-	50	-	100	-	100	-	100	ps	26, 30, 31
DQ and DM Input hold time to DQS	t_{DHb}	75	-	125	-	125	-	175	-	175	-	225	ps	26, 30, 31

Micro

图 12: DDRII data 信号写数据时的时序参数

从 Micron 的 DDRII 器件资料中我们可以得到 $T_{ds}=100ps$, $T_{dh}=225ps$

Setup Margin= $T_{dvb}-T_{ds}=0.538-0.1=0.438ns$

Hold Margin= $T_{dva}-T_{dh}=0.538-0.225=0.313ns$

影响时序的因素:

影响因素	数值	数据来源
crosstalk	50ps	通过仿真得到
ISI	10ps	通过仿真得到
SSN	30ps	评估获的
电源波动	50ps	评估获的
Path Matching (Board)	25 ps	实际布线控制
总和	165ps	

考虑到以上各个因素, 时序余量为:

Setup Margin= $0.438ns-0.165ns=0.273ns$

Hold Margin= $0.313ns-0.165ns=0.148ns$

读数据时:

从 MPC8568 的器件资料寻找时序参数:

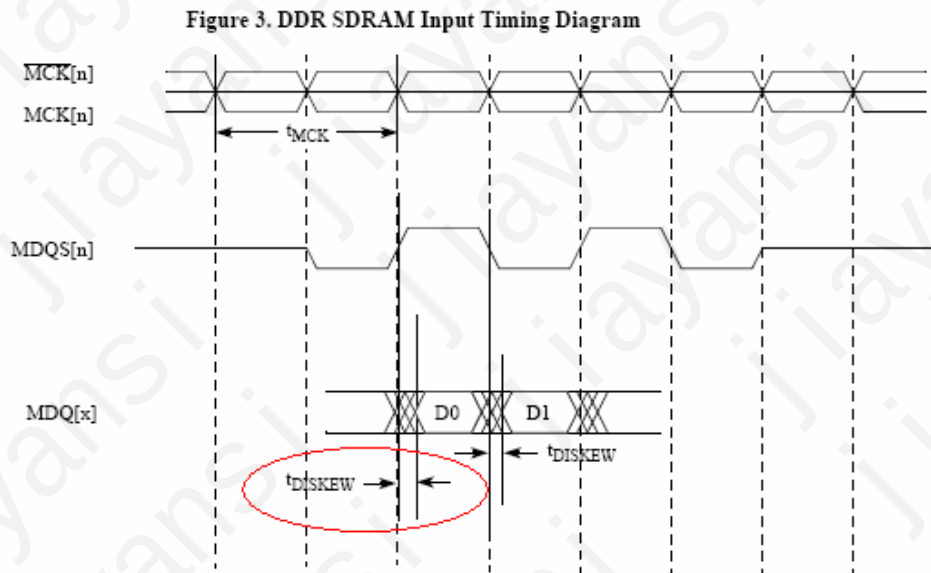


图 13: MPC8568 DATA 信号读数据时的时序图

Table 19 provides the input AC timing specifications for the DDR SDRAM interface.

Table 19. DDR SDRAM Input AC Timing Specifications

At recommended operating conditions.

Parameter	Symbol	Min	Max	Unit	Notes
Controller Skew for MDQS—MDQ/MECC/MDM	t_{CISKEW}			ps	1, 2
533 MHz		-300	300		3
400 MHz		-365	365		
333 MHz		-390	390		

Note:

1. t_{CISKEW} represents the total amount of skew consumed by the controller between MDQS[n] and any corresponding bit that will be captured with MDQS[n]. This should be subtracted from the total timing budget.
2. The amount of skew that can be tolerated from MDQS to a corresponding MDQ signal is called t_{DISKEW} . This can be determined by the following equation: $t_{DISKEW} = \pm(T/4 - \text{abs}(t_{CISKEW}))$ where T is the clock period and $\text{abs}(t_{CISKEW})$ is the absolute value of t_{CISKEW} .
3. Maximum DDR1 frequency is 400 MHz.

图 14: MPC8568 DATA 信号读数据时的时序参数

从以上两个图中我们可以得到: $T_{ciskew} = 0.3\text{ns}$, $T_{diskew} = 3.75/4 - 0.3 = 0.9375 - 0.3 = 0.6375\text{ns}$

输入最小有效窗口: $T_{dv_mpc8568_min} = 2 * T_{ciskew} = 2 * 0.3 = 0.6\text{ns}$

	CL = 4	^t CK (AVG)	-	-	3.75	8.0	3.75	8.0	3.0	8.0	3.75	8.0	3.75	8.0	5.0	8.0		
	CL = 3	^t CK (AVG)	-	-	-	-	-	-	-	-	5.0	8.0	5.0	8.0	5.0	8.0		
31	CK high-level width	^t CH (AVG)	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	^t CK	10
	CK low-level width	^t CL (AVG)	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	0.48	0.52	^t CK	
34	Half clock period	^t HP	MIN = lesser of ^t CH and ^t CL MAX = n/a														ps	11
	Absolute ^t CK	^t CK (ABS)	MIN = ^t CK (AVG) MIN + ^t JITTER (MIN) MAX = ^t CK (AVG) MAX + ^t JITTER (MAX)														ps	
	Absolute CK high-level width	^t CH (ABS)	MIN = ^t CK (AVG) MIN × ^t CH (AVG) MIN + ^t JITOTY (MIN) MAX = ^t CK (AVG) MAX × ^t CH (AVG) MAX + ^t JITOTY (MAX)														ps	
	Absolute CK low-level width	^t CL (ABS)	MIN = ^t CK (AVG) MIN × ^t CL (AVG) MIN + ^t JITOTY (MIN) MAX = ^t CK (AVG) MAX × ^t CL (AVG) MAX + ^t JITOTY (MAX)														ps	

Table 13: AC Operating Specifications and Conditions for -187E, -25E, -3E, -3, -37E, and -5E Speeds (Sheet 4 of 7)
Not all speed grades listed may be supported for this device; refer to the title page for speeds supported.
Notes: 1-5 (page 38) apply to the entire table; VDDQ = +1.8V ±0.1V, VDD = +1.8V ±0.1V

AC Characteristics		-187E		-25E		-25		-3E		-3		-37E		-5E		Units	Notes
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max		
DQ output access time from CK/CK#	^t AC	-350	+350	-400	+400	-400	+400	-450	+450	-450	+450	-500	+500	-600	+600	ps	19
DQS-DQ skew, DQS to last DQ valid, per group, per access	^t DQS	-	175	-	200	-	200	-	240	-	240	-	300	-	350	ps	26, 27
DQ hold from next DQS strobe	^t QHS	-	250	-	300	-	300	-	340	-	340	-	400	-	450	ps	28
DQ-DQS hold, DQS to first DQ not valid	^t QH	MIN = ^t HP - ^t QHS MAX = n/a														ps	26, 27, 28
CK/CK# to DQ, DQS High-Z	^t HZ	MIN = n/a MAX = ^t AC (MAX)														ps	19, 21, 29
CK/CK# to DQ Low-Z	^t LZ	MIN = 2 × ^t AC (MIN) MAX = ^t AC (MAX)														ps	19, 21, 22
Data valid output window	DVW	MIN = ^t QH - ^t DQS MAX = n/a														ns	26, 27
DQS and Data Input	^t IS	0	-	50	-	50	-	100	-	100	-	100	-	150	-	ns	26

图 15: DDRII data 信号读数据时的时序参数

从 Micron 的 DDRII 器件资料中我们可以得到

$T_{hp} = 0.48 \times T = 0.48 \times 3.75 = 1.8\text{ns}$, $T_{qhs} = 0.4\text{ns}$, $T_{dqsq} = 0.3\text{ns}$

输出有效窗口 $T_{dv_ddr_min} = T_{qh} - T_{dqsq} = T_{hp} - T_{qhs} - T_{dqsq} = 1.8 - 0.4 - 0.3 = 1.1\text{ns}$

Setup Margin = Hold Margin = $(T_{dv_ddr_min} - T_{dv_mpc8568_min}) / 2 = (1.1 - 0.6) / 2 = 0.25\text{ns}$

影响时序的因素:

影响因素	数值	数据来源
crosstalk	50ps	通过仿真得到
ISI	10ps	通过仿真得到
SSN	30ps	评估获的
电源波动	50ps	评估获的
Path Matching (Board)	25 ps	实际布线控制
总和	165ps	

考虑到以上各个因素, 时序余量为:

Setup Margin = $0.25\text{ns} - 0.165\text{ns} = 0.085\text{ns}$

Hold Margin = $0.25\text{ns} - 0.165\text{ns} = 0.085\text{ns}$

三：规则提取

1: CK 与 ADDRESS 之间的时序余量

Setup Margin= 1.065ns; Hold Margin= 0.94ns

2: CK 与 DQS 之间的时序余量

Setup Margin= 0.66ns; Hold Margin=0.66ns

3: DATA 与 DQS 之间的时序余量

写: Setup Margin=0.273ns; Hold Margin=0.148ns

读: Setup Margin= 0.085ns; Hold Margin= 0.085ns

从以上数据可以得知，data 信号的时序余量是最少的，所以在布线的时候，要严格控制 data 与 DQS 的等长关系。虽然此处计算得到的地址信号时序余量比较大，但是地址信号是一驱五，因此仿真得到的波形会比数据信号差很多，由于负载比较重，上升沿比较缓，吃掉的时序余量也大一些，所以要多留一些余量。根据静态时序分析计算结果及结合以往的设计经验，我们仍然会给他们多留一些时序余量，在 PCB 设计的时候，我们一般建议 PCB 等长设计规则如下：

CK 与 DQS 等长设计，误差控制在 $\pm 200\text{mil}$

地址信号、控制信号与 ck 等长设计，误差控制在 $\pm 100\text{mil}$ 。

数据信号与 DQS 等长设计，误差控制在 $\pm 50\text{mil}$

参考文档：

1: MPC8568EEC.pdf

Freescale Semiconductor

2: 1GbDDR2.pdf

Micron

上海佳研仿真设计工作室

<http://www.jiayansi.com>