

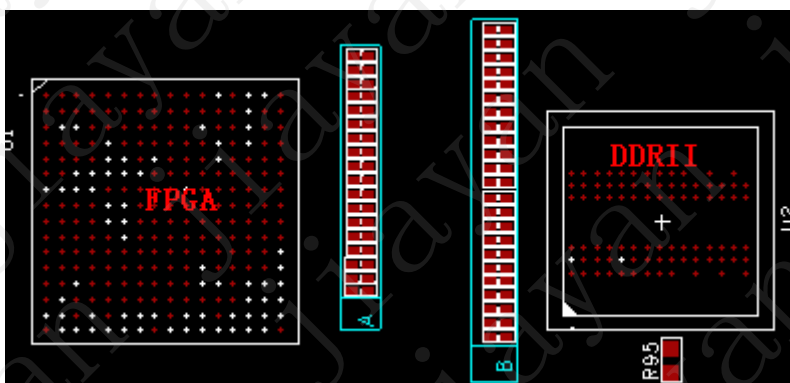
上海佳研仿真工作室期刊四

----- DDRII 接口 SI 仿真实例

某单板使用了一片 FPGA，该 FPGA 带了一片 DDRII 颗粒，本报告将对这个 DDRII 接口进行仿真分析，通过仿真分析验证现有布局、信号匹配措施及芯片内部接口配置是否满足信号质量要求，并为单板布线提供约束规则。

一、DDRII 接口布局

该接口是最简单的点对点拓扑，布局方面需要考虑的并不多，预布局图如下：



二、SI 仿真分析

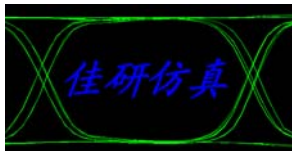
本文主要是用 CADENCE 软件对该 DDRII 接口进行 SI 仿真分析，通过仿真分析确定 VTT 上拉电阻的取舍，匹配电阻取舍及 ODT 功能是否启用，保证单板信号质量及为单板降低成本设计提供指导。

1、差分时钟 CK 信号

信号名称	F_CK_P, F_CK_N	数率	108M
方向	FPGA→DDRII	仿真模式	Typical/SLOW/FAST
器件模型	XP2_s2d180f120aaaaaaaou		

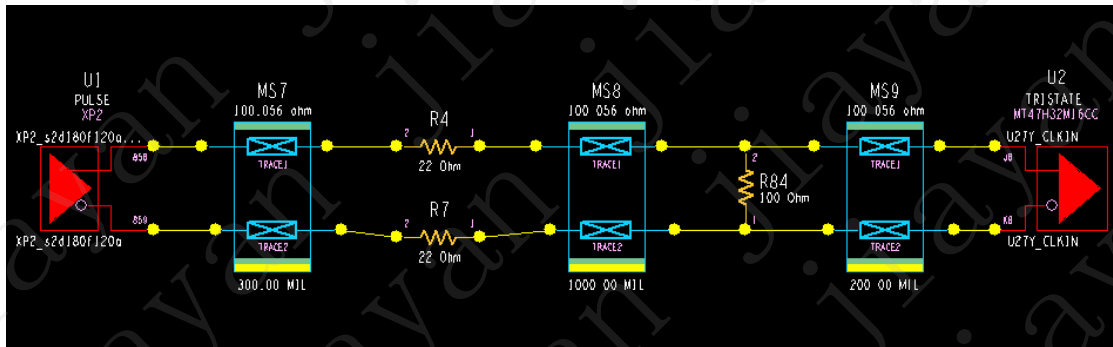
姓名：杨仁德、俞重八
电话：15001992303
网址：<http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务！



	U27Y_CLKIN
结论	信号质量 OK, 建议 R84 这个 100 欧姆的终端匹配电阻布局布线的时候尽量靠近 DDRII 放置，差分信号严格控制 100 欧姆的阻抗。

差分时钟 CK 信号拓扑结构:



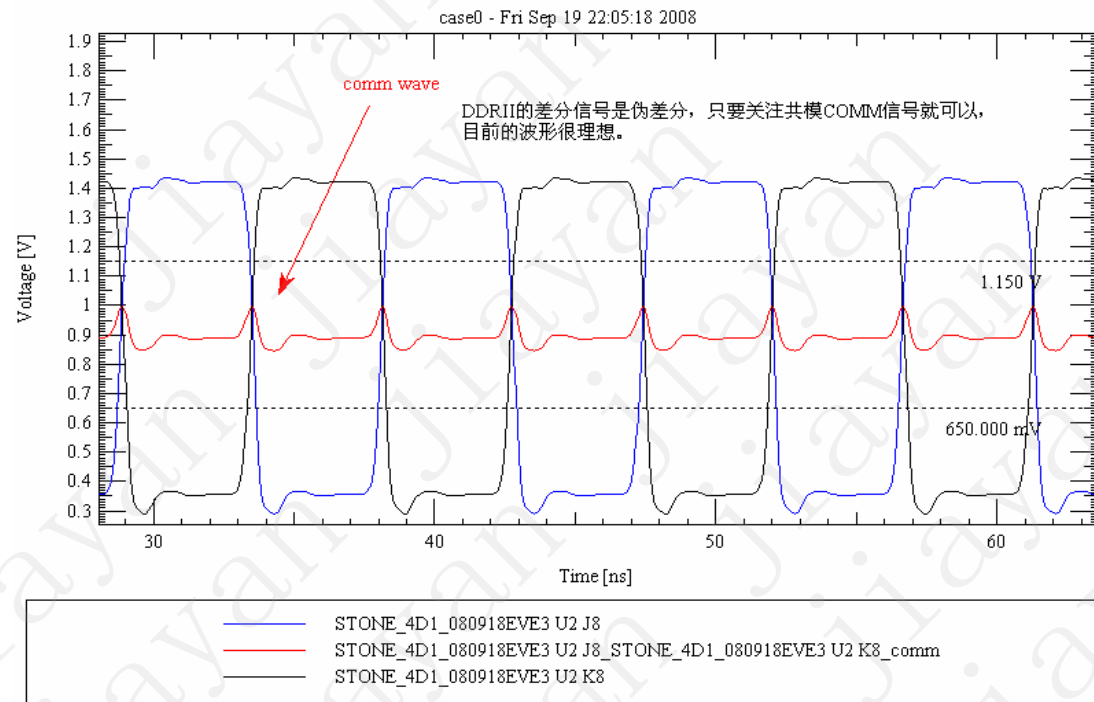
仿真得到的接收端波形:

姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务!



STONE_4D1_080918EVE3 U1 858) STONE_4D1_080918EVE3 U1 858 Pulse Typ R



对应于器件 datasheet 资料中对该信号质量的要求：

姓名：杨仁德、俞重八
电话：15001992303
网址：<http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务！



512Mb: x4, x8, x16 DDR2 SDRAM Input Electrical Characteristics and Operating Conditions

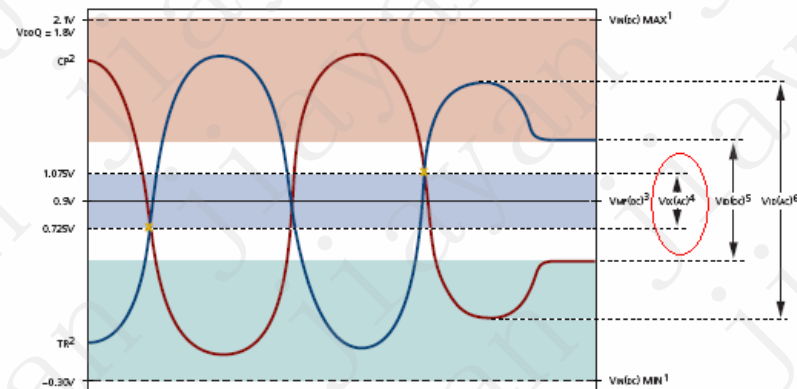
Table 16: Differential Input Logic Levels

All voltages referenced to Vss

Parameter	Symbol	Min	Max	Units	Notes
DC input signal voltage	V _{IN} (DC)	-300	V _{DDQ}	mV	1, 6
DC differential input voltage	V _{ID} (DC)	250	V _{DDQ}	mV	2, 6
AC differential input voltage	V _{ID} (AC)	500	V _{DDQ}	mV	3, 6
AC differential cross-point voltage	V _{IX} (AC)	$0.50 \times V_{DDQ} - 175$	$0.50 \times V_{DDQ} + 175$	mV	4
Input midpoint voltage	V _{MP} (DC)	850	950	mV	5

- Notes:
1. V_{IN}(DC) specifies the allowable DC execution of each input of differential pair such as CK, CK#, DQS, DQS#, LDQS, LDQS#, UDQS, UDQS#, and RDQS, RDQS#.
 2. V_{ID}(DC) specifies the input differential voltage [V_{TR} - V_{CP}] required for switching, where V_{TR} is the true input (such as CK, DQS, LDQS, UDQS) level and V_{CP} is the complementary input (such as CK#, DQS#, LDQS#, UDQS#) level. The minimum value is equal to V_{IH}(DC) - V_{IL}(DC). Differential input signal levels are shown in Figure 16.
 3. V_{ID}(AC) specifies the input differential voltage [V_{TR} - V_{CP}] required for switching, where V_{TR} is the true input (such as CK, DQS, LDQS, UDQS, RDQS) level and V_{CP} is the complementary input (such as CK#, DQS#, LDQS#, UDQS#, RDQS#) level. The minimum value is equal to V_{IH}(AC) - V_{IL}(AC), as shown in Table 15 on page 39.
 4. The typical value of V_{IX}(AC) is expected to be about $0.5 \times V_{DDQ}$ of the transmitting device and V_{IX}(AC) is expected to track variations in V_{DDQ}. V_{IX}(AC) indicates the voltage at which differential input signals must cross, as shown in Figure 16.
 5. V_{MP}(DC) specifies the input differential common mode voltage (V_{TR} + V_{CP})/2 where V_{TR} is the true input (CK, DQS) level and V_{CP} is the complementary input (CK#, DQS#). V_{MP}(DC) is expected to be approximately $0.5 \times V_{DDQ}$.
 6. V_{DDQ} + 300mV allowed provided 1.9V is not exceeded.

Figure 16: Differential Input Signal Levels



- Notes:
1. TR and CP may not be more positive than V_{DDQ} + 0.3V or more negative than V_{SS} - 0.3V.
 2. TR represents the CK, DQS, RDQS, LDQS, and UDQS signals; CP represents CK#, DQS#, RDQS#, LDQS#, and UDQS# signals.
 3. This provides a minimum of 850mV to a maximum of 950mV and is expected to be V_{DDQ}/2.
 4. TR and CP must cross in this region.
 5. TR and CP must meet at least V_{ID}(DC) MIN when static and is centered around V_{MP}(DC).
 6. TR and CP must have a minimum 500mV peak-to-peak swing.
 7. Numbers in diagram reflect nominal values (V_{DDQ} = 1.8V).

从器件资料中得到，对该波形主要的关注点是CROSS POINT,他要求的值是 $0.50 \times V_{DDQ} - 175$
 $< \text{CROSS POINT} < 0.50 \times V_{DDQ} + 175$

姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务!

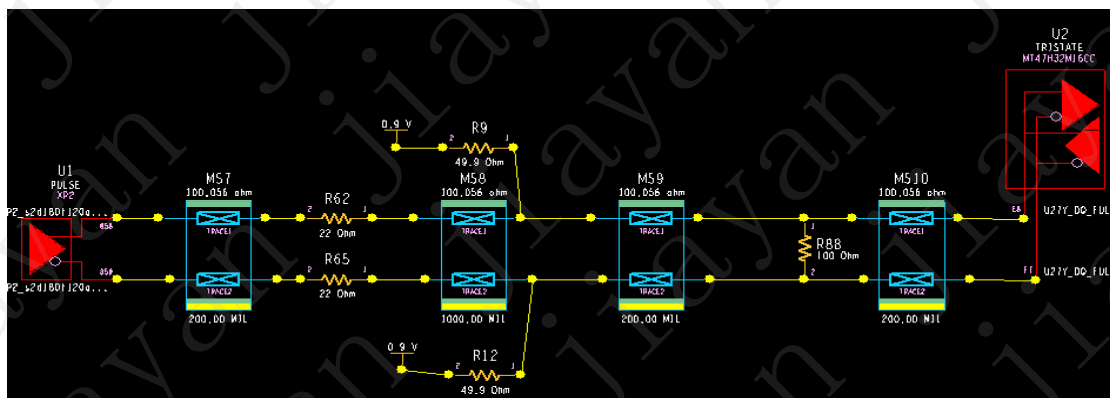


结论: DDRII 的差分信号是伪差分, 只要关注共模 COMM 信号就可以, 目前的波形很理想, CROSS POINT 满足器件要求。

2: 差分时钟 DQS 信号

信号名称	F_UDQS_N,F_UDQS_P F_LDQS_P, F_LDQS_N	数率	108M
方向	FPGA→DDRII	仿真模式	Typical/SLOW/FAST
器件模型	XP2_s2d180f120aaaaaaaaou U27Y_DQ_HALF_ODT75		
结论	去掉 VTT 电源的上拉电阻, 开启 ODT 功能。100 欧姆的终端匹配电阻布局布线的时候尽量靠近 DDRII 放置, 差分信号严格控制 100 欧姆的阻抗。		

差分时钟 DQS 信号拓扑结构:



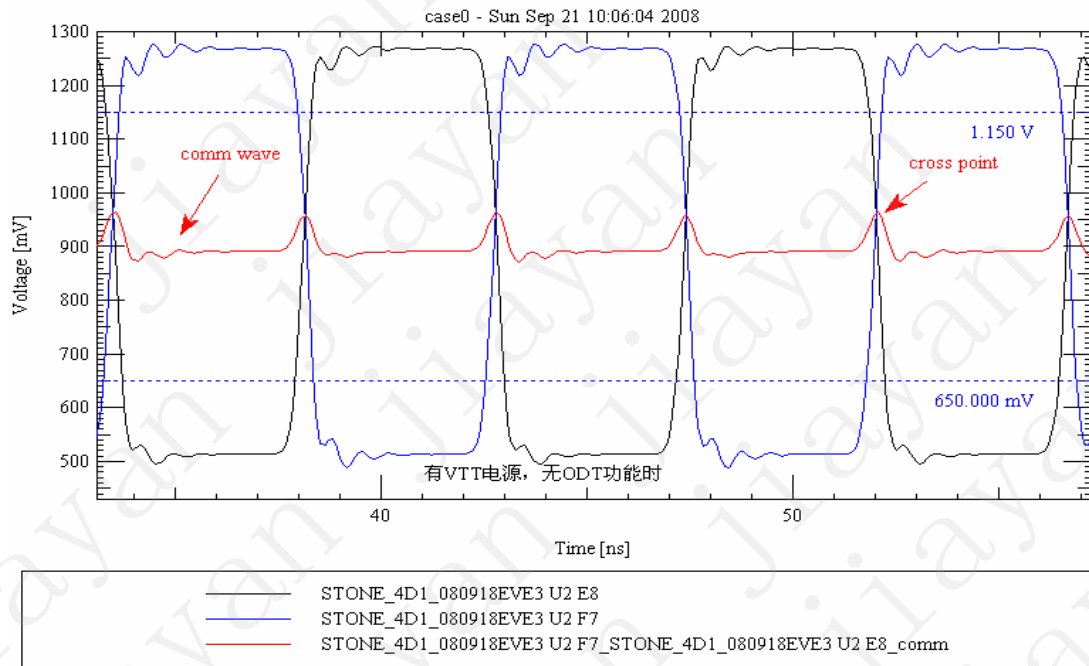
仿真得到的有 VTT 电源, 无 ODT 功能时的接收端波形:

姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务!

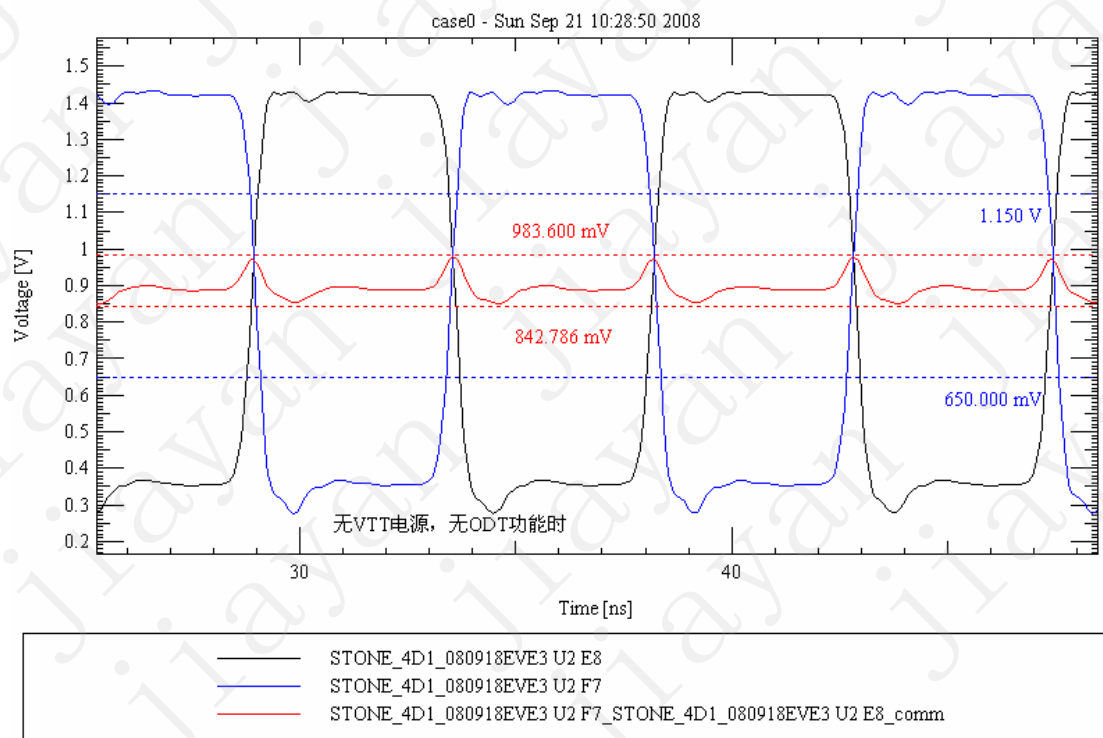


STONE_4D1_080918EVE3 DOU TP1 858) STONE_4D1_080918EVE3 U1 858 Pulse T



仿真得到的无 VTT 电源, 无 ODT 功能时的接收端波形:

STONE_4D1_080918EVE3 U1 858) STONE_4D1_080918EVE3 U1 858 Pulse Typ I



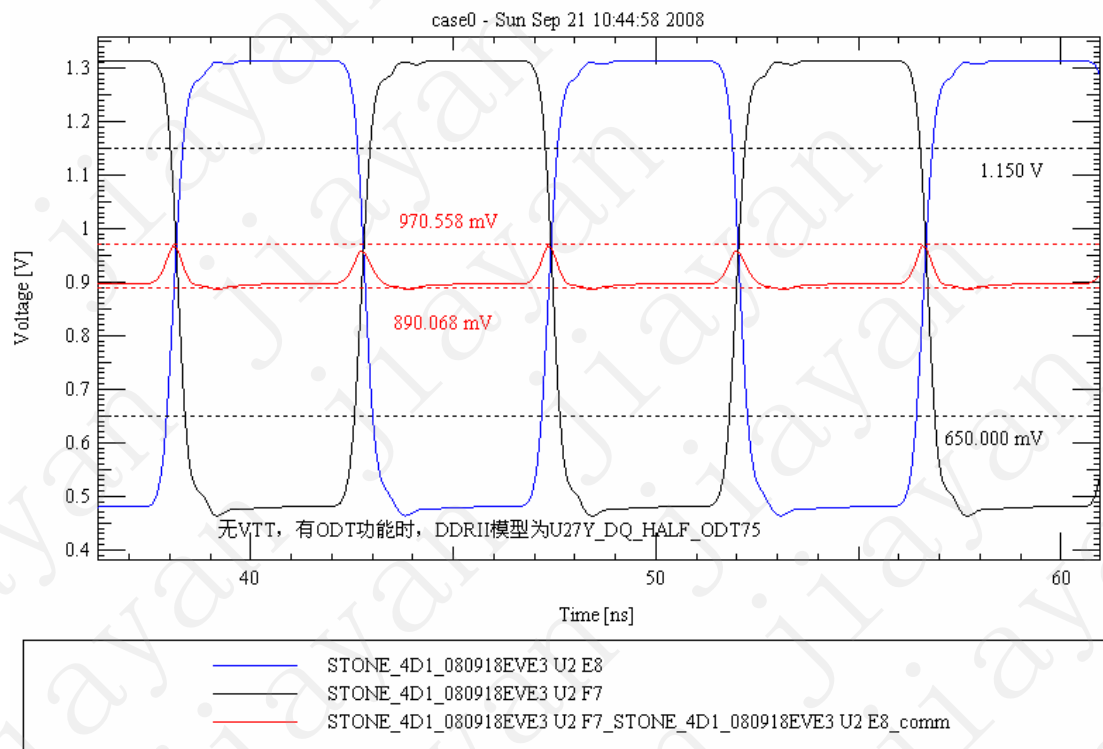
仿真得到的无 VTT 电源, 有 ODT 功能时的接收端波形:

姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务!



ONE_4D1_080918EVE3 U1 858) STONE_4D1_080918EVE3 U1 858 Pulse Typ



结论: 从仿真波形来看, VTT 电源是可以省掉的, 为了使波形更理想, ODT 功能应该开启, 他的启用对波形是很有改善作用的, 可以减少振铃, 减少 SSN, 降低摆幅等作用。

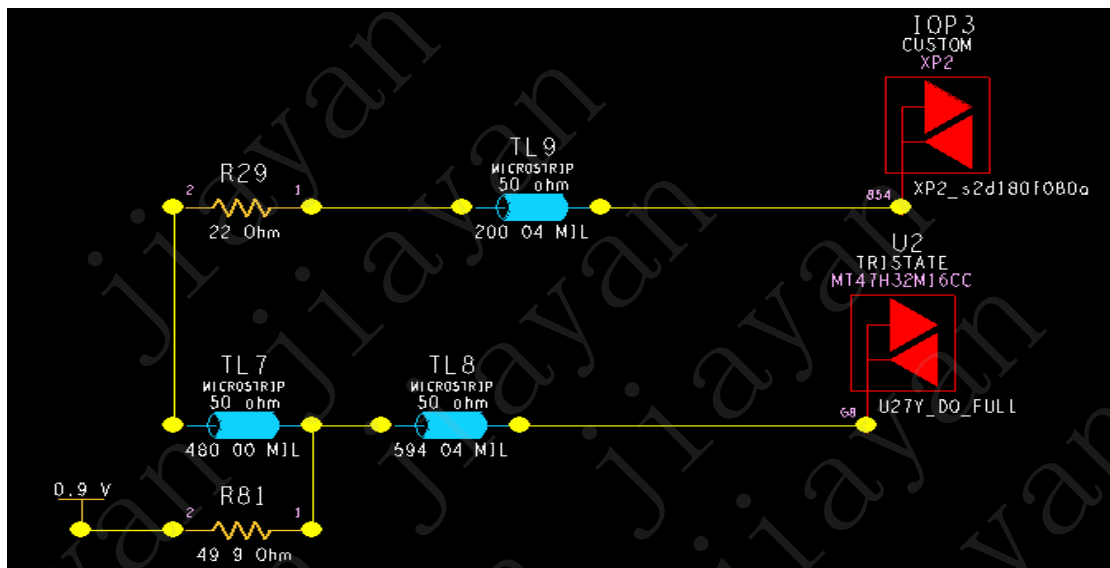
3、数据 DQ 信号

信号名称	F_DQ[0..15]	数率	108M
方向	FPGA<→DDRII	仿真模式	F/T/S
器件模型	XP2_lvc330f120eaaaaaaio		
	U27Y_DQ_FULL_ODT75		
结论	去掉 VTT 电源的上拉电阻, 开启 ODT 功能		

数据 DQ 信号拓扑结构:

姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

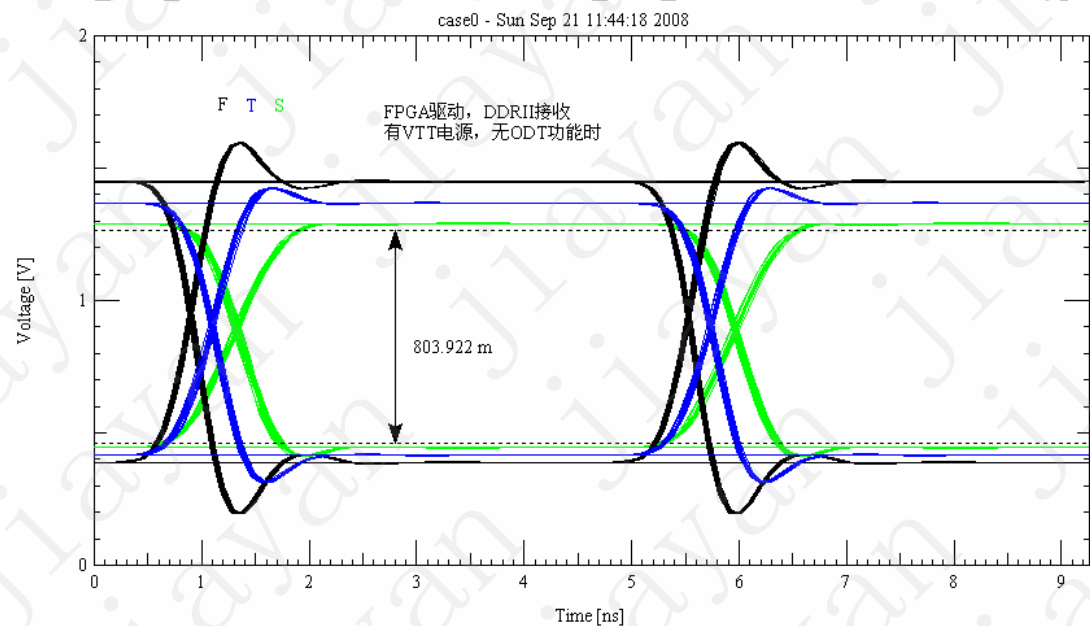
上海佳研仿真工作室竭诚为您服务!



FPGA 写情况分析，既 FPGA 驱动，DDRII 接收。

有 VTT 电源，无 ODT 功能时的眼图模式的波形：

TONE_4D1_080918EVE3 IOP3 854) STONE_4D1_080918EVE3 U1 854 Pulse Typ Re

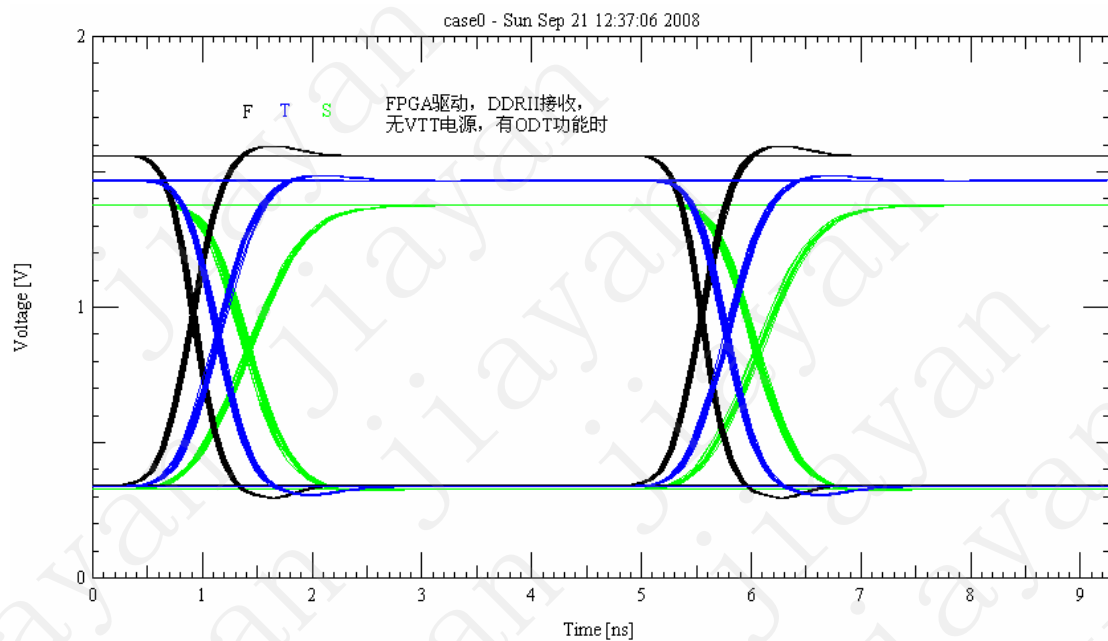
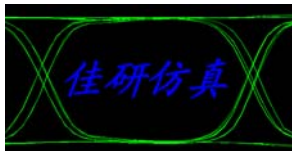


FPGA 驱动，DDRII 接收，

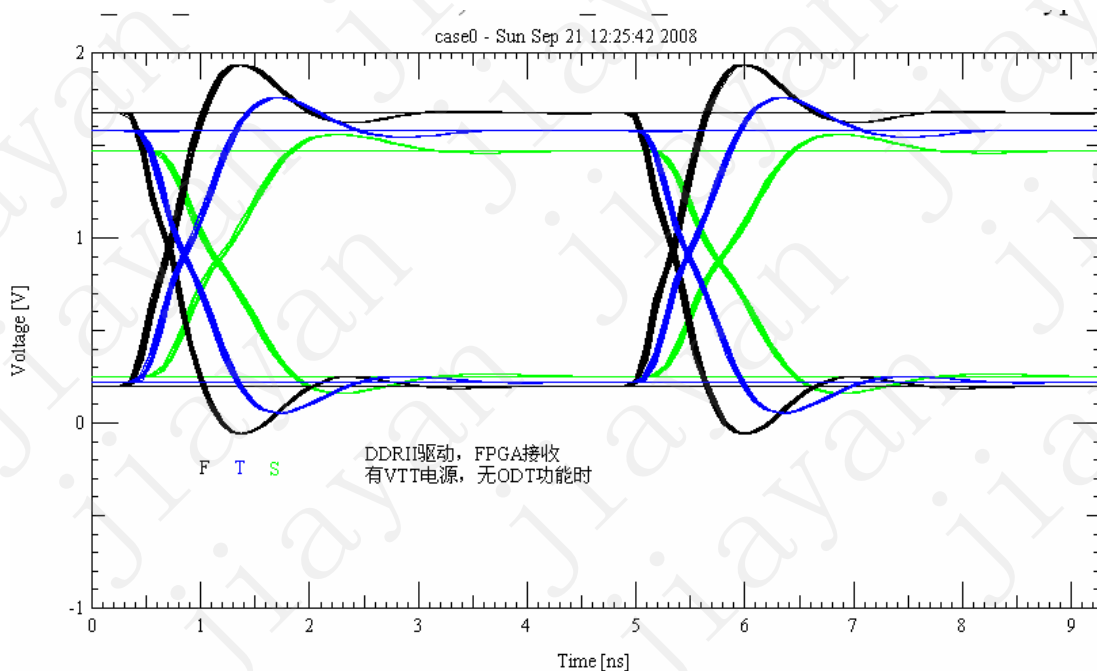
无 VTT 电源，有 ODT 功能时的眼图模式的波形：

姓名：杨仁德、俞重八
电话：15001992303
网址：<http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务！



FPGA 读情况分析, 既 DDRII 驱动, FPGA 接收,
有 VTT 电源, 无 ODT 功能时的眼图模式的波形:



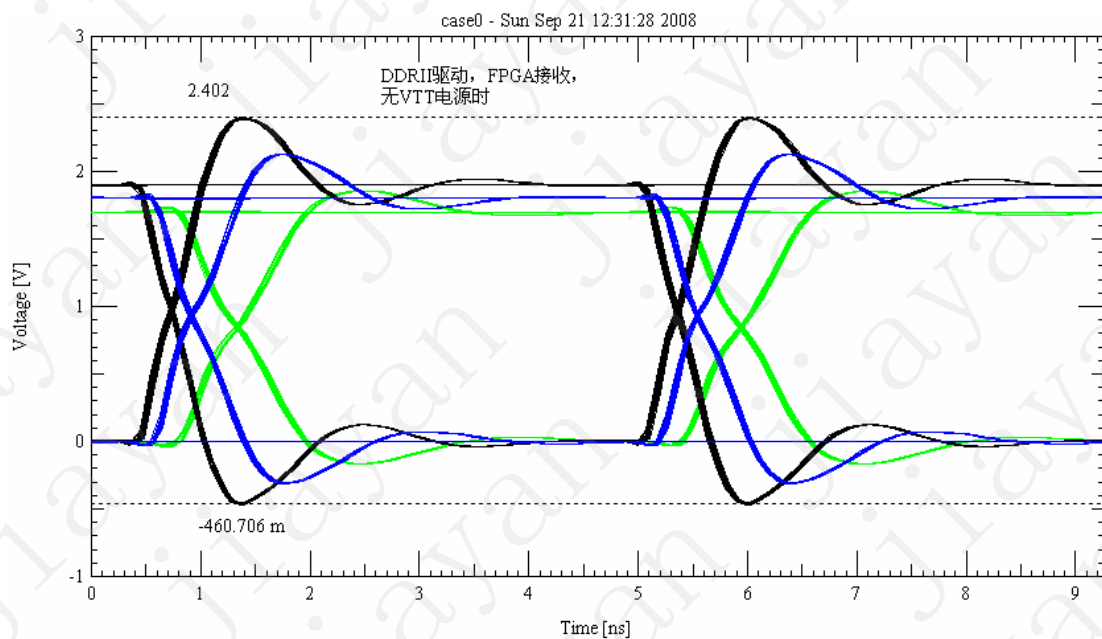
姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务!



DDRII 驱动，FPGA 接收，

无 VTT 电源，有 ODT 功能时的眼图模式的波形：



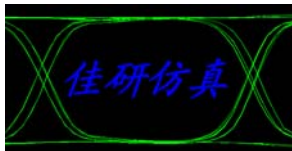
结论：从仿真波形来看，VTT 电源是可以省掉的，为了使波形更理想，ODT 功能应该开启，他的启用对波形是很有改善作用的，可以减少振铃，减少 SSN，降低摆幅等作用。

3：地址及控制信号

信号名称	F_A[0..12]F_BA0,F_BA1, F_UDM,F_LDM,F_CKE, F-CAS#,F_RAS#, F_WE#,F_CS#	数率	58M
方向	FPGA→DDRII	仿真模式	F/T/S
器件模型	XP2_lvc330f120eaaaaaaio		

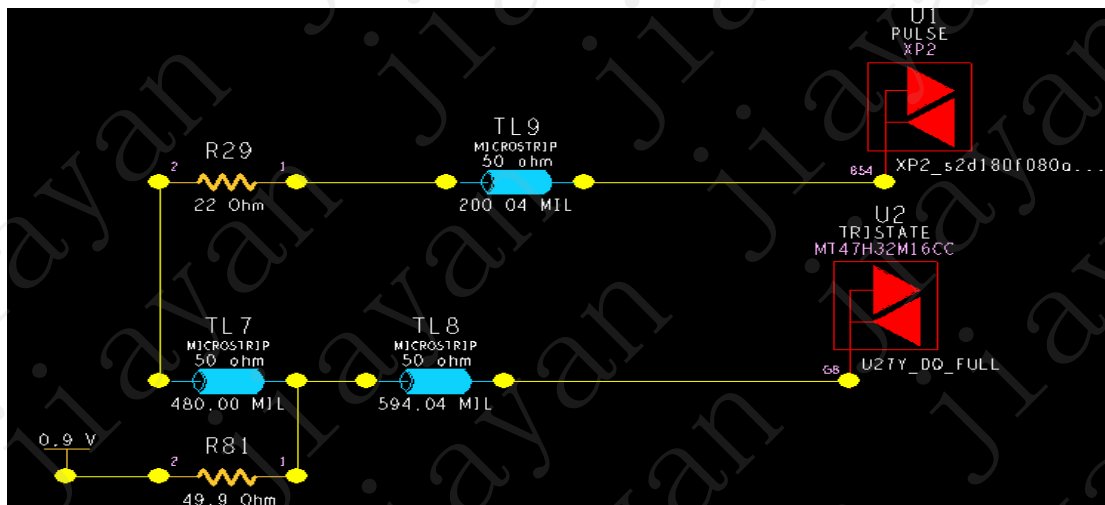
姓名：杨仁德、俞重八
电话：15001992303
网址：<http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务！

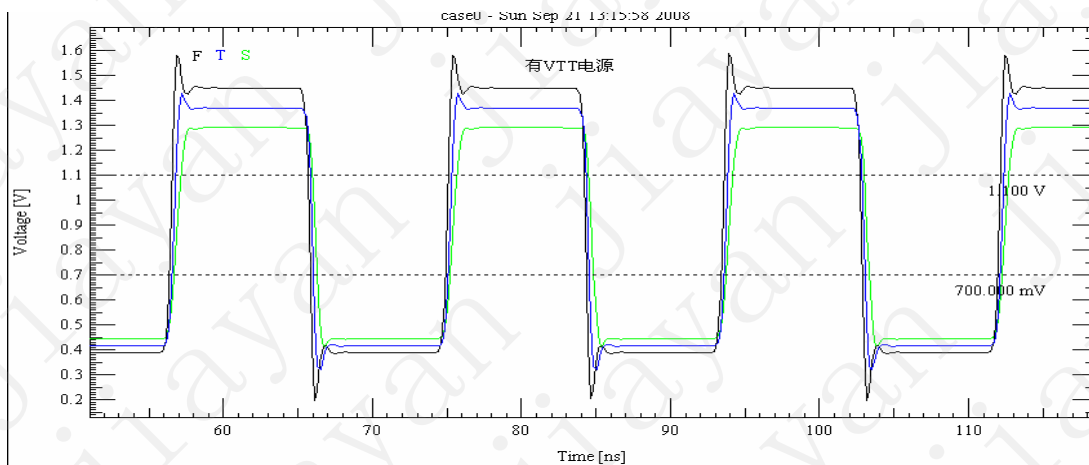


	U27Y_DQ_FULL
结论	去掉 VTT 电源的上拉电阻

拓扑结构:



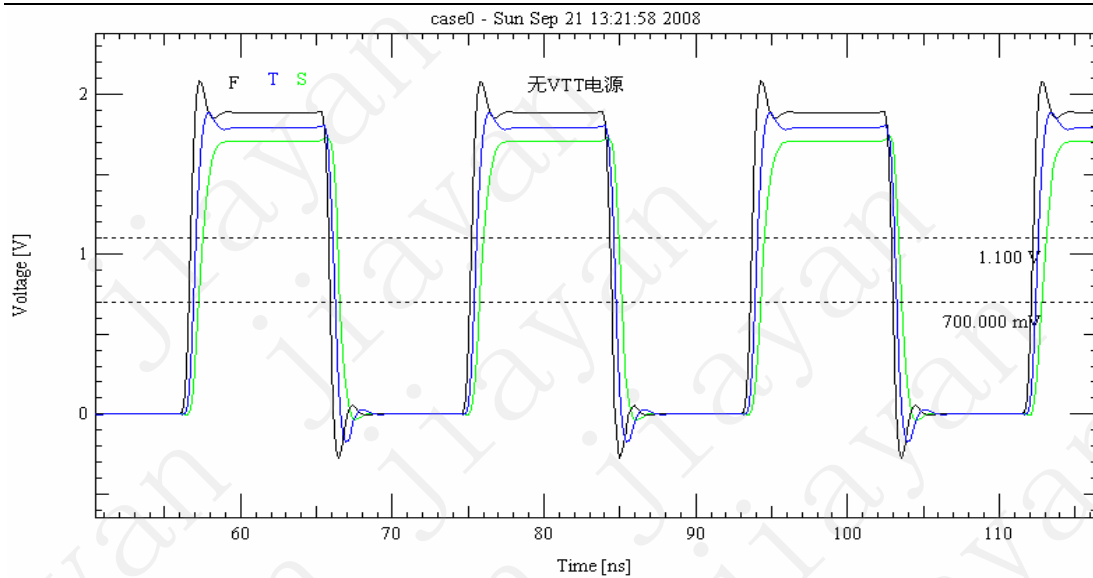
有 VTT 电源时的波形:



无 VTT 电源时的波形:

姓名: 杨仁德、俞重八
电话: 15001992303
网址: <http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务!



结论：从仿真波形来看，VTT 电源是可以省掉的。

三：仿真结论

1：根据仿真的结果，该接口的 VTT 上拉可以去掉，这样可以省掉很多分立电阻及 VTT 电源转换模块，这对于节约布局空间、降低布线难度及降低单板成本都有非常大的帮助。

2：该接口的 ODT 功能强烈建议使用，他的启用对波形是很有改善作用的，可以减少振铃，减少 SSN，降低摆幅等作用。

通过精确的 SI 仿真分析，在保证高速数字信号的信号质量同时，为单板将成本设计提供了强力的仿真数据支撑。

上海佳研仿真工作室

<http://www.jiayansi.com>

姓名：杨仁德、俞重八
电话：15001992303
网址：<http://www.jiayansi.com>

上海佳研仿真工作室竭诚为您服务！